

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-023662

(43)Date of publication of application : 31.01.1991

(51)Int.Cl.

H01L 27/092  
H01L 23/60  
H01L 29/784

(21)Application number : 01-159154

(71)Applicant : SHARP CORP

(22)Date of filing : 20.06.1989

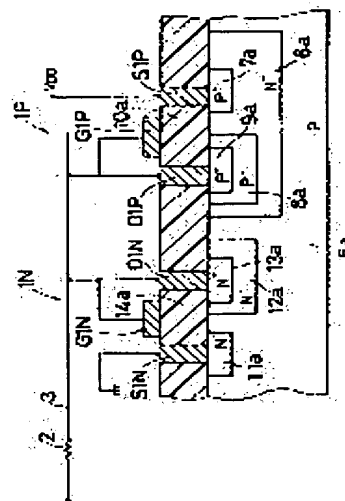
(72)Inventor : SHIMIZU YASUHIRO

## (54) PROTECTIVE CIRCUIT OF SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To expand a width of a depletion layer of a P-N junction and to prevent a junction breakdown by a method wherein, in a C-MOSFET, a high-concentration impurity layer is structured so as to be wrapped by a low-concentration impurity layer.

CONSTITUTION: An N-well 6a for an FET 1P is formed in a P-substrate 5a. A P+ layer 7a and a P- layer 8a which wraps a P+ layer 9a are formed in the well 6a. A source electrode S1P is attached to the layer 7a, and is connected to a VDD. An insulating film 10a is formed on the layers 7a, 9a; a gate G1P is attached to the film 10a. A drain D1P is formed on the P+ layer 9a. On the side of an FET 1N, an N+ drain 13 is wrapped by an N- layer 12a in the same manner; an S1N is attached to an N+ layer 11a and is grounded. Drains of both FET's are connected in common. Since high-concentration layers are wrapped respectively by low-concentration layers at the drains, the low-concentration layers expand a width of a depletion layer of a P-N junction at an operation. Thereby, it is possible to prevent a breakdown of the P-N junction by an excess current and an excess voltage within a range where an absolute value of a noise is small; a breakdown-strength performance can be enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-23662

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月31日

H 01 L 27/092  
23/60  
29/784

7735-5 F H 01 L 27/08 3 2 1 H  
6918-5 F 23/56 B  
8422-5 F 29/78 3 0 1 K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路の保護回路

⑯ 特 願 平1-159154

⑰ 出 願 平1(1989)6月20日

⑱ 発 明 者 清水 康 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 西教 圭一郎 外1名

明 細 書

1. 発明の名称

半導体集積回路の保護回路

2. 特許請求の範囲

半導体集積回路の入力または出力のための端子と、

第1の一对の相補形金属酸化膜電界効果トランジスタであって、これらの一对の各トランジスタのドレンとゲートとは前記端子に接続され、各トランジスタのソースは、電源に接続される、そのような相補形金属酸化膜電界効果トランジスタと、

第2の一对の相補形金属酸化膜電界効果トランジスタであって、これらの一对の各トランジスタのドレンは、前記端子に接続され、ゲートとソースは、それぞれ共通に接続されて、電源に接続される、そのような相補形金属酸化膜電界効果トランジスタとを含み、

前記各トランジスタはフィールド部をゲートとして使い、ドレンは高濃度不純物拡散領域を低濃度不純物拡散領域で包んだ構造を有することを特

徴とする半導体集積回路の保護回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体集積回路の入力または出力の端子に、たとえば静電気が印加されたときに破壊することを防いで保護するための回路に関する。

従来の技術

半導体集積回路は、相補形金属酸化膜電界効果トランジスタ(略称、C-MOS FET)を含んでおり、入力または出力のための端子に静電気が加えられると、ゲートの電気絶縁膜が破壊し、あるいはまたPN接合が破壊されることがある。

典型的な先行技術では、このような静電気による破壊を防ぐために、抵抗またはダイオードを端子に直列または並列に接続して構成される。

発明が解決しようとする課題

このような先行技術では、品質向上の面において、より高い静電気耐圧性能を実現するには、前記抵抗の抵抗値を大きくし、またダイオード性能を増大する必要があり、それでも、静電気などの

ノイズによる耐圧性能が不充分である。

本発明の目的は、静電気などのノイズに対する耐圧性能を向上した半導体集積回路の保護回路を提供することである。

課題を解決するための手段

本発明は、半導体集積回路の入力または出力のための端子と、

第1の一对の相補形金属酸化膜電界効果トランジスタであって、これらの一对の各トランジスタのドレンとゲートとは前記端子に接続され、各トランジスタのソースは、電源に接続される、そのような相補形金属酸化膜電界効果トランジスタと、

第2の一对の相補形金属酸化膜電界効果トランジスタであって、これらの一对の各トランジスタのドレンは、前記端子に接続され、ゲートとソースは、それぞれ共通に接続されて、電源に接続される、そのような相補形金属酸化膜電界効果トランジスタとを含み、

前記各トランジスタはフィールド部をゲートとして使い、ドレンは高濃度不純物拡散領域を低濃

度で包んだ構造となっているので、低濃度不純物拡散領域が、PN接合の空乏層の幅を広くし、これによってノイズの絶対値が小さい範囲で、過大電流および過大電圧によるPN接合の破壊を防止する。

#### 実施例

第1図は、本発明の一実施例の電気回路図である。このような電気回路は、半導体集積回路内に構成される。入力または出力のための端子1は、抵抗2を介してライン3に接続される。第1の一对の相補形金属酸化膜半導体電界効果トランジスタ（略称、C-MOS FET）1P、1NにおいてPチャネルトランジスタ1PのドレンD1PとゲートG1Pは、ライン3に接続され、そのソースS1Pは直流電源の正端子VDDに接続される。もう1つのNチャネルトランジスタ1NのドレンD1NとゲートG1Nとは、ライン3に接続される。ソースS1Nは接地される。

また第2の一对の相補形金属酸化膜半導体電界効果トランジスタ2P、2Nが設けられる。一方、

度不純物拡散領域で包んだ構造を有することを特徴とする半導体集積回路の保護回路である。

#### 作用

本発明に従えば、第1の一对の相補形金属酸化膜電界効果トランジスタと第2の一对の相補形金属酸化膜半導体電界効果トランジスタとを用い、第1のトランジスタでは、ドレンとゲートとは入力または出力のための端子に接続されており、第2のトランジスタのドレンは前記端子に接続され、その第2のトランジスタのゲートとソースはそれぞれ共通に接続されて電源に接続される。したがって第1の一对のトランジスタは、静電気などのノイズの絶対値が小さい範囲では、ダイオードとして動作し、その電流を流し、さらにそのノイズの絶対値が大きくなったときには、第1または第2の各トランジスタが導通して電流経路を形成する。これによって静電気によるトランジスタの破壊を防止する。

さらにまた本発明では、各トランジスタのドレンは高濃度不純物拡散領域を低濃度不純物拡散領域

Pチャネルトランジスタ2PのドレンD2Pは、ライン3に接続され、ゲートG2PとソースS2Pとは、直流電源の正端子VDDに接続される。Nチャネルトランジスタ2NのドレンD2Nは、ライン3に接続される。ゲートG2NとソースS2Nとは接地される。前記電源の正端子は、前述のように参照符VDDで示されており、負端子は接地される。ライン3からの入力される電気信号は半導体集積回路において設けられる制御回路4に与えられ、あるいはまたこの制御回路4からの出力信号は端子1から導出される。

第2図は、トランジスタ1P、1Nの具体的な構成を示す断面図である。P-半導体サブストレート基板5aには、トランジスタ1Pのために、N-不純物拡散ウエル層6aが形成される。このウエル層6aには、P-不純物拡散領域7aが形成される。またこのウエル層6aには、P-低濃度不純物拡散領域8aが形成され、これによってP-高濃度不純物拡散領域9aが包まれて形成される。領域7aには、電極であるソースS1Pが

形成され、それは電源の正端子VDDに接続される。拡散領域7a、9aにわたって絶縁膜10aが形成され、この上にゲートG1Pが形成される。またドレンド1Pが領域9aに設けられる。

トランジスタ1Nにおいて、N<sup>-</sup>不純物拡散領域11aが形成され、ここにソースS1Nが形成される。さらにまたN<sup>-</sup>不純物拡散領域12a内にN<sup>-</sup>高濃度不純物拡散領域13aが包まれて形成され、ここにドレンド1Nが形成される。さらにまた拡散領域11a、13a間にわたって電気絶縁膜14aが形成され、ゲートG1Nが形成される。

第3図は、第2の相補形金属酸化膜半導体電界効果トランジスタ2P、2Nの構成を示す断面図である。N<sup>-</sup>不純物拡散領域である半導体サブストレート基板5bには、トランジスタ2PのためのP<sup>-</sup>不純物拡散領域11bが形成され、ここにソースS2Pが設けられる。またP<sup>-</sup>低濃度不純物拡散領域12b内にP<sup>-</sup>高濃度不純物拡散領域13bが包まれて形成され、ここにドレンド2P

が形成される。また不純物拡散領域11b、13bにわたって電気絶縁膜14bが形成され、この上にゲートG2Pが形成される。

さらにまたトランジスタ2Nに関してP<sup>-</sup>不純物拡散されたウエル層6bが形成される。この中にN<sup>-</sup>不純物拡散領域7bが形成され、ここにソースS2Nが形成される。またこのウエル層6bには、N<sup>-</sup>低濃度不純物拡散領域8bが形成され、この中にN<sup>-</sup>高濃度不純物拡散領域9bが包まれて形成されドレンド2Nが設けられる。不純物拡散領域7b、9b間には電気絶縁膜10bが形成され、その上にゲート2が形成される。

第4図は、抵抗2の構成を示す断面図である。P<sup>-</sup>不純物拡散領域である半導体サブストレート基板15には、N<sup>-</sup>不純物拡散領域16が形成され、その中にN<sup>-</sup>不純物拡散領域17が形成される。この不純物拡散領域17には電極18、19が接続される。電極18は端子1に接続され、また電極19はライン3に接続される。

電極19が静電気などによって接地電位に対し

て絶対値がたとえば12～15V未満では、正極性であれば、トランジスタ1N、2Nを逆方向に、すなわちドレンド1NからソースS1N、ドレンド2NからソースS2Nに電流経路が形成され、そのノイズが負極性であればトランジスタ1N、2Nを順方向に、すなわちソースS1Nからドレンド1N、ソースS2Nからドレンド2Nに電流経路が形成される。

端子1の電位が接地電位に対して絶対値が大きく、正極性であれば、トランジスタ1Nが電界効果トランジスタとして導通し、負極性であれば、もう1つのトランジスタ2Nが電界効果トランジスタとして導通する。

このような動作は第1表に示されるとおりである。

(以下余白)

第 1 表

絶対値	接地に対する極性	トランジスタの動作
小	正	1Nを逆方向
	負	1Nを順方向
大	正	1NをON
	負	2NをON

端子1の電位が電源の正端子VDDの電位に対して、絶対値がたとえば12～15V未満であるときには、正極性のときトランジスタ1P、2'Pは順方向すなわちドレンド1PからソースS1P、ドレンド2PからソースS2Pに電流経路が形成され、負極性のとき、トランジスタ1P、2Pの逆方向、すなわちソースS1Pからドレンド1P、ソースS2Pからドレンド2Pに電流経路が形成される。

端子1の電位が電源の正端子VDDの電位に対して、その絶対値が大きく、正極性であるときには、トランジスタ2Pが電界効果トランジスタとして導通し、負極性であるときトランジスタ1P

が電界効果トランジスタとして導通する。

この動作の状態は第2表に示されるとおりである。

第2表

絶対値	VDDに対する 極性	トランジスタの動作
小	正	1Pを順方向
	負	1Pを逆方向
大	正	2PをON
	負	1PをON

こうして端子1に印加される静電気などのノイズの電位が前述のように、たとえば12～15V未満の範囲では、トランジスタ1N、2N、1P、2Pのダイオード特性によって、電流経路を形成し、このときドレンド1P、D2P、D1N、D2N間のP<sup>+</sup>またはN<sup>+</sup>の低濃度不純物拡散領域8a、12b、12a、8bがPN接合の空乏層の幅を広くしているの、過大電流および過大電圧によるPN接合の破壊を防止する。また端子1に印加されるノイズなどの電圧が12～15V以上

であって高いときには、トランジスタ1N、2N、2P、1Pが電界効果トランジスタとして前述のように導通し、このときゲートG1N、G2N、G2P、G1Pはフィールド部の厚い電気絶縁膜14a、10b、14b、10aに構成されているので、ゲート、ドレンド間の電気力線の集中度が低くなり、ゲート破壊に対する耐圧性能が高い。したがって静電気に対する保護機能が有効に達成される。

入力抵抗2は、静電気の尖頭波形をやわらげ、後続の保護回路の負担を低減する働きをする。この抵抗2は、前述の第4図から明らかなように、N<sup>+</sup>高濃度不純物拡散領域17をN<sup>-</sup>低濃度不純物拡散領域16で包み込む構造としているので、前述のドレンドPN接合と同様に、過大電流および過大電圧によるPN接合の破壊に対する保護がなされる。他の実施例として、抵抗2における基板15をN<sup>-</sup>とし、領域16をP<sup>-</sup>とし、領域17をP<sup>+</sup>の各不純物拡散領域として構成してもよい。

#### 発明の効果

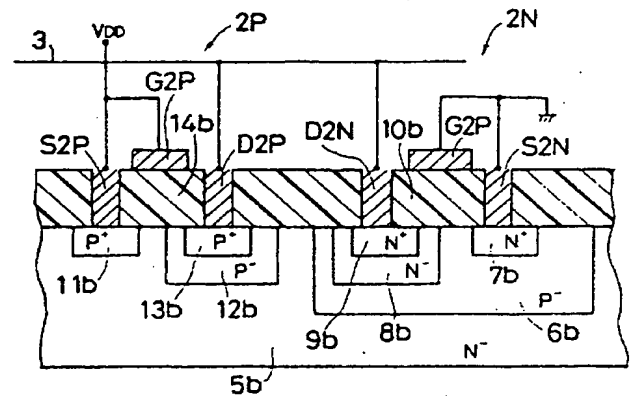
以上のように本発明によれば、静電気などのノイズによって相補形金属酸化膜半導体電界効果トランジスタのPN接合の破壊を防ぐことができ、静電気耐圧性能を向上することができる。

#### 4. 図面の簡単な説明

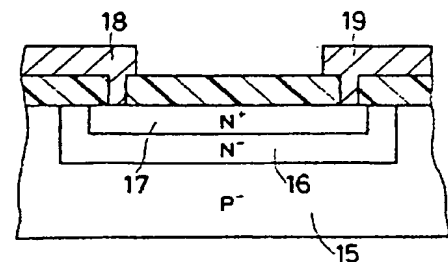
第1図は本発明の一実施例の電気回路図、第2図は第1の一对の相補形金属酸化膜半導体電界効果トランジスタ1P、1Nの効果を示す断面図、第3図は第2の一对の相補形金属酸化膜半導体電界効果トランジスタ2P、2Nの構造を示す断面図、第4図は抵抗2の構成を示す断面図である。

1…端子、2…抵抗、1P、2P…Pチャネルフィールド電界効果トランジスタ、1N、2N…Nチャネルフィールド電界効果トランジスタ

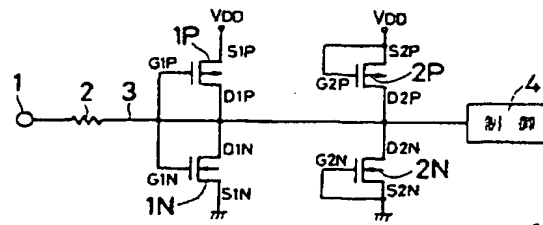
代理人 弁理士 西教 圭一郎



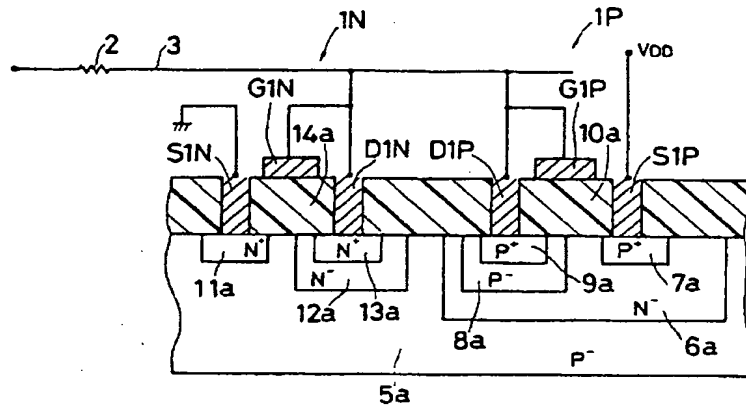
第3図



第4図



第 1 圖



第 2 圖